

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of
Inventor(s): TSUJI, et al.

1-11-02
03,
10986 U.S. PTO
09/982335
10/18/01

Appln. No.:	Not	Assigned
Series Code	↑	↑ Serial No.

Group Art Unit: Not Assigned

Filed: October 18, 2001

Examiner: Not Assigned

Title: SEMICONDUCTOR INPUT PROTECTION CIRCUIT

Atty. Dkt. P 027 7019	H7601US
M#	Client Ref

Date: October 18, 2001

**SUBMISSION OF PRIORITY
DOCUMENT IN ACCORDANCE
WITH THE REQUIREMENTS OF RULE 55**

Hon. Asst Commissioner of Patents
Washington, D.C. 20231

Sir:

Please accept the enclosed certified copy(ies) of the respective foreign application(s) listed below for which benefit under 35 U.S.C. 119/365 has been previously claimed in the subject application and if not is hereby claimed.

<u>Application No.</u>	<u>Country of Origin</u>	<u>Filed</u>
2000-317557	Japan	October 18, 2000

Respectfully submitted,

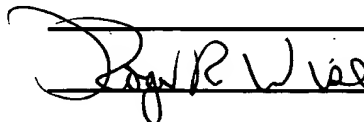
Pillsbury Winthrop LLP
Intellectual Property Group

725 South Figueroa Street, Suite
2800
Los Angeles, CA 90017-5406
Tel: (213) 488-7100

By Atty: Roger R. Wise

Reg. No. 31204

Sig:



Fax: (213) 629-1033
Tel: (213) 488-7584

Atty/Sec: RRW/jes

日 本 国 特 許 庁
JAPAN PATENT OFFICE

1C386 U.S. PTO
09/982335
10/18/01

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年10月18日

出 願 番 号

Application Number:

特願2000-317557

出 願 人

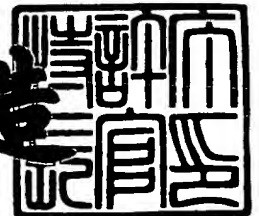
Applicant(s):

ヤマハ株式会社

2001年 8月24日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3075168

【書類名】 特許願

【整理番号】 C-28793

【提出日】 平成12年10月18日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 23/60

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号ヤマハ株式会社内

 【氏名】 辻 信昭

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号ヤマハ株式会社内

 【氏名】 野呂 正夫

【発明者】

 【住所又は居所】 静岡県磐田市西貝塚 1 9 6 9 - 6

 【氏名】 前野 輝光

【発明者】

 【住所又は居所】 静岡県浜松市中沢町 1 0 番 1 号ヤマハ株式会社内

 【氏名】 平出 誠治

【特許出願人】

 【識別番号】 000004075

 【氏名又は名称】 ヤマハ株式会社

【代理人】

 【識別番号】 100075074

 【弁理士】

 【氏名又は名称】 伊沢 敏昭

【手数料の表示】

 【予納台帳番号】 063005

 【納付金額】 21,000円

【提出物件の目録】

 【物件名】 明細書 1

特 2 0 0 0 - 3 1 7 5 5 7

【物件名】	図面	1
【物件名】	要約書	1
【プルーフの要否】	要	

【書類名】 明細書
【発明の名称】 入力保護回路
【特許請求の範囲】

【請求項 1】

被保護回路に入力信号を供給する入力端子と、

第 1 導電型を有する半導体基板と、

前記第 1 導電型とは反対の第 2 導電型を有し、前記半導体基板と P N 接合をなすように前記半導体基板の一主面に形成された第 1 のウエル領域と、

各々前記第 1 導電型を有し、前記第 1 のウエル領域の一部をベースとする第 1 のラテラルバイポーラトランジスタを構成するように前記第 1 のウエル領域内に形成された第 1 及び第 2 の不純物ドープ領域と、

前記第 1 導電型を有し、前記半導体基板の一主面に形成された第 2 のウエル領域と、

各々前記第 2 導電型を有し、前記第 2 のウエル領域の一部をベースとする第 2 のラテラルバイポーラトランジスタを構成するように前記第 2 のウエル領域内に形成された第 3 及び第 4 のウエル領域であって、いずれも底部が前記第 2 のウエル領域又は前記半導体基板と P N 接合をなしているものとを備え、

前記入力端子を前記第 1 の不純物ドープ領域に接続すると共に前記第 2 の不純物ドープ領域と前記第 1 のラテラルバイポーラトランジスタのベースとを前記第 3 のウエル領域に接続し、前記第 4 のウエル領域と前記第 2 のラテラルバイポーラトランジスタのベースとを基準電位点に接続した入力保護回路。

【請求項 2】 前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第 1 の不純物ドープ領域に接続した請求項 1 記載の入力保護回路。

【請求項 3】

被保護回路に入力信号を供給する入力端子と、

第 1 導電型を有する半導体基板と、

前記第 1 導電型を有し、前記半導体基板の一主面に形成された第 1 のウエル領域と、

各々前記第1導電型とは反対の第2導電型を有し、前記第1のウエル領域の一部をベースとする第1のラテラルバイポーラトランジスタを構成するように前記第1のウエル領域内に形成された第2及び第3のウエル領域であって、いずれも底部が前記第1のウエル領域又は前記半導体基板とPN接合をなしているものと

前記第2導電型を有し、前記半導体基板とPN接合をなすように前記半導体基板の一主面に形成された第4のウエル領域と、

各々前記第1導電型を有し、前記第4のウエル領域の一部をベースとする第2のラテラルバイポーラトランジスタを構成するように前記第4のウエル領域内に形成された第1及び第2の不純物ドープ領域とを備え、

前記入力端子を前記第2のウエル領域に接続すると共に前記第3のウエル領域と前記第1のラテラルバイポーラトランジスタのベースとを前記第1の不純物ドープ領域に接続し、前記第2の不純物ドープ領域と前記第2のラテラルバイポーラトランジスタのベースとを基準電位点に接続した入力保護回路。

【請求項4】 前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第2のウエル領域に接続した請求項3記載の入力保護回路。

【請求項5】

被保護回路に入力信号を供給する入力端子と、

第1導電型を有する半導体基板と、

前記第1導電型とは反対の第2導電型を有し、前記半導体基板とPN接合をなすように前記半導体基板の一主面に形成された第1のウエル領域と、

各々前記第1導電型を有し、前記第1のウエル領域の一部をベースとする第1のラテラルバイポーラトランジスタを構成するように前記第1のウエル領域内に形成された第1及び第2の不純物ドープ領域と、

各々前記第2導電型を有し、前記半導体基板の一部をベースとする第2のラテラルバイポーラトランジスタを構成するように前記半導体基板の一主面に形成された第2及び第3のウエル領域とを備え、

前記入力端子を前記第1の不純物ドープ領域に接続すると共に前記第2の不純

物ドーブ領域と前記第 1 のラテラルバイポーラトランジスタのベースとを前記第 2 のウエル領域に接続し、前記第 3 のウエル領域と前記第 2 のラテラルバイポーラトランジスタのベースとを基準電位点に接続した入力保護回路。

【請求項 6】 前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第 1 の不純物ドーブ領域に接続した請求項 5 記載の入力保護回路。

【請求項 7】

被保護回路に入力信号を供給する入力端子と、

第 1 導電型を有する半導体基板と、

各々前記第 1 導電型とは反対の第 2 導電型を有し、前記半導体基板の一部をベースとする第 1 のラテラルバイポーラトランジスタを構成するように前記半導体基板の一主面に形成された第 1 及び第 2 のウエル領域と、

前記第 2 導電型を有し、前記半導体基板と P N 接合をなすように前記半導体基板の一主面に形成された第 3 のウエル領域と、

各々前記第 1 導電型を有し、前記第 3 のウエル領域の一部をベースとする第 2 のラテラルバイポーラトランジスタを構成するように前記第 3 のウエル領域内に形成された第 1 及び第 2 の不純物ドーブ領域とを備え、

前記入力端子を前記第 1 のウエル領域に接続すると共に前記第 2 のウエル領域と前記第 1 のラテラルバイポーラトランジスタのベースとを前記第 1 の不純物ドーブ領域に接続し、前記第 2 の不純物ドーブ領域と前記第 2 のラテラルバイポーラトランジスタのベースとを基準電位点に接続した入力保護回路。

【請求項 8】 前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第 1 のウエル領域に接続した請求項 7 記載の入力保護回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、CMOS IC 等の集積回路装置の入力部を ESD（静電放電）等による破壊から保護する入力保護回路に関するものである。

【 0 0 0 2 】

【従来の技術】

従来、CMOS IC等に用いられる入力保護回路としては、入力端子にMOS型トランジスタのドレインを接続すると共に該MOS型トランジスタのゲート及びソースを接地点に接続したものが知られている。このような入力保護回路は、MOS型トランジスタのゲート絶縁膜の耐圧が10[V]程度と低いため、ESD耐圧が低いという問題点があった。

【 0 0 0 3 】

ESD耐圧の向上を図った入力保護回路としては、図10、11に示すものが提案されている。図10、11において、INは、被保護回路CPに入力を供給する入力端子である。

【 0 0 0 4 】

図10の回路において、P型シリコン基板1の一主面には、P型ウエル領域2が形成されると共に、P型ウエル領域2内には、P型ウエル領域2の一部をチャンネルとするMOS型トランジスタを構成するようにN型ウエル領域3、4が形成されている。N型ウエル領域3、4は、いずれも底部が基板1とPN接合をなしている。ウエル領域3、4には、それぞれN⁺型不純物ドーピング領域5、6が形成されると共に、ウエル領域2には、P⁺型不純物ドーピング領域7が形成されている。

【 0 0 0 5 】

基板1の一主面には、シリコンオキサイド等のフィールド絶縁膜8が形成されている。絶縁膜8においてウエル領域3、4に挟まれたチャンネル部の上方に位置する部分には、ポリシリコン等のゲート電極層9が形成されている。不純物ドーピング領域5及びゲート電極層9は、入力端子INに接続されている。不純物ドーピング領域6、7は、いずれも接地点に接続されている。

【 0 0 0 6 】

図11には、図10の集積化構成の等価回路を示す。入力端子INには、NチャンネルMOS型トランジスタFTのドレイン及びゲート（図10のウエル領域3及びゲート電極層9）が接続されている。トランジスタFTのソース（図10

のウエル領域4)は、接地点に接続されている。ダイオードDは、ウエル領域3と基板1との間に形成されるもので、入力端子IN及び接地点にそれぞれカソード及びアノードが接続されている。NPN型ラテラルバイポーラトランジスタBTは、ウエル領域3、4と、これらのウエル領域3、4間のP型部分(ウエル領域2の一部)とで構成されるもので、コレクタ及びエミッタがそれぞれ入力端子IN及び接地点に接続されている。トランジスタBTのベース及びエミッタの間には、基板1の抵抗成分からなる抵抗Rが接続されている。ウエル領域2及び基板1は、接地点に接続されている。

【0007】

入力端子INに+のESD入力に加わると、トランジスタFTがオンし、被保護回路CPを保護する。トランジスタFTは、ゲート絶縁膜が厚いフィールド絶縁膜8で構成されているため、ESD耐圧が高い。なお、この明細書において、「ESD入力」なる用語は、「静電気などによるサージ電圧入力」を意味するものとする。

【0008】

ダイオードDは、ウエル領域間PN接合及びウエル領域-基板間PN接合(すなわち不純物濃度が低い領域の間に形成されたPN接合)からなっているので、50[V]程度の高い逆耐圧を得ることができる。入力可能な+の信号のレベルは、ダイオードDの逆耐圧により制限される。なお、入力端子INに-のESD入力に加わったときは、ダイオードDがオンし、被保護回路CPを保護する。

【0009】

【発明が解決しようとする課題】

一般に、オーディオ分野では、CMOSICとして±15[V]の信号を扱えるものが要求される。上記した従来の回路によると、+15[V]の信号を入力可能であるものの、-の信号についてはダイオードDがオンしてしまうため、-15[V]の信号を入力することができない。

【0010】

この発明の目的は、高いESD耐圧を有すると共に±の広いレベル範囲の信号を入力することができる新規な入力保護回路を提供することにある。

【0011】

【課題を解決するための手段】

この発明に係る第1の入力保護回路は、
被保護回路に入力信号を供給する入力端子と、
第1導電型を有する半導体基板と、

前記第1導電型とは反対の第2導電型を有し、前記半導体基板とPN接合をなすように前記半導体基板の一主面に形成された第1のウエル領域と、

各々前記第1導電型を有し、前記第1のウエル領域の一部をベースとする第1のラテラルバイポーラトランジスタを構成するように前記第1のウエル領域内に形成された第1及び第2の不純物ドーピング領域と、

前記第1導電型を有し、前記半導体基板の一主面に形成された第2のウエル領域と、

各々前記第2導電型を有し、前記第2のウエル領域の一部をベースとする第2のラテラルバイポーラトランジスタを構成するように前記第2のウエル領域内に形成された第3及び第4のウエル領域であって、いずれも底部が前記第2のウエル領域又は前記半導体基板とPN接合をなしているものとを備え、

前記入力端子を前記第1の不純物ドーピング領域に接続すると共に前記第2の不純物ドーピング領域と前記第1のラテラルバイポーラトランジスタのベースとを前記第3のウエル領域に接続し、前記第4のウエル領域と前記第2のラテラルバイポーラトランジスタのベースとを基準電位点に接続したものである。

【0012】

第1の入力保護回路によれば、第1及び第2の導電型をそれぞれP型及びN型とすると、+のESD入力時には第2のラテラルバイポーラトランジスタがオンし、-のESD入力時には第1のラテラルバイポーラトランジスタがオンし、例えば±2000[V]のESD入力から被保護回路が保護される。また、入力可能な+の信号レベルは、第3のウエル領域と第2のウエル領域（又は第2のウエル領域及び半導体基板）との間に形成されるPN接合ダイオードの逆耐圧により制限される。このダイオードの逆耐圧は、不純物濃度が低いウエル領域によりPN接合を形成するため、例えば50[V]程度とすることができる。入力可能な

一の信号レベルは、第1の不純物ドーピング領域と第1のウェル領域との間に形成されるPN接合ダイオードの逆耐圧により制限される。このダイオードの逆耐圧は、例えば15[V]程度とすることができる。従って、±15[V]の信号を入力可能となる。

【0013】

第1の入力保護回路においては、前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第1の不純物ドーピング領域に接続するようにしてもよい。このようにすると、回路を構成するトランジスタやダイオードの熱破壊を防止することができる。

【0014】

この発明に係る第2の入力保護回路は、
被保護回路に入力信号を供給する入力端子と、
第1導電型を有する半導体基板と、

前記第1導電型を有し、前記半導体基板の一主面に形成された第1のウェル領域と、

各々前記第1導電型とは反対の第2導電型を有し、前記第1のウェル領域の一部をベースとする第1のラテラルバイポーラトランジスタを構成するように第1のウェル領域内に形成された第2及び第3のウェル領域であって、いずれも底部が前記第1のウェル領域又は前記半導体基板とPN接合をなしているものと、

前記第2導電型を有し、前記半導体基板とPN接合をなすように前記半導体基板の一主面に形成された第4のウェル領域と、

各々前記第1導電型を有し、前記第4のウェル領域の一部をベースとする第2のラテラルバイポーラトランジスタを構成するように前記第4のウェル領域内に形成された第1及び第2の不純物ドーピング領域とを備え、

前記入力端子を前記第2のウェル領域に接続すると共に前記第3のウェル領域と前記第1のラテラルバイポーラトランジスタのベースとを前記第1の不純物ドーピング領域に接続し、前記第2の不純物ドーピング領域と前記第2のラテラルバイポーラトランジスタのベースとを基準電位点に接続したものである。

【0015】

第 2 の入力保護回路によれば、第 1 及び第 2 導電型をそれぞれ P 型及び N 型とすると、+ の ESD 入力時には第 1 のラテラルバイポーラトランジスタがオンし、- の ESD 入力時には第 2 のラテラルバイポーラトランジスタがオンし、例えば ± 2000 [V] の ESD 入力から被保護回路が保護される。また、入力可能な + の信号レベルは、第 2 のウエル領域と第 1 のウエル領域（又は第 1 のウエル領域及び半導体基板）との間に形成される PN 接合ダイオードの逆耐圧により制限される。このダイオードの逆耐圧は、不純物濃度が低いウエル領域により PN 接合を形成するため、例えば 50 [V] 程度とすることができる。入力可能な - の信号レベルは、第 1 の不純物ドープ領域と第 4 のウエル領域との間に形成される PN 接合ダイオードの逆耐圧により制限される。このダイオードの逆耐圧は、例えば 15 [V] 程度とすることができる。従って、 ± 15 [V] の信号を入力可能となる。

【 0 0 1 6 】

第 2 の入力保護回路においては、前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第 2 のウエル領域に接続するようにしてもよい。このようにすると、回路を構成するトランジスタやダイオードの熱破壊を防止することができる。

【 0 0 1 7 】

この発明に係る第 3 の入力保護回路は、

被保護回路に入力信号を供給する入力端子と、

第 1 導電型を有する半導体基板と、

前記第 1 導電型とは反対の第 2 導電型を有し、前記半導体基板と PN 接合をなすように前記半導体基板の一主面に形成された第 1 のウエル領域と、

各々前記第 1 導電型を有し、前記第 1 のウエル領域の一部をベースとする第 1 のラテラルバイポーラトランジスタを構成するように前記第 1 のウエル領域内に形成された第 1 及び第 2 の不純物ドープ領域と、

各々前記第 2 導電型を有し、前記半導体基板の一部をベースとする第 2 のラテラルバイポーラトランジスタを構成するように前記半導体基板の一主面に形成された第 2 及び第 3 のウエル領域とを備え、

前記入力端子を前記第1の不純物ドーブ領域に接続すると共に前記第2の不純物ドーブ領域と前記第1のラテラルバイポーラトランジスタのベースとを前記第2のウエル領域に接続し、前記第3のウエル領域と前記第2のラテラルバイポーラトランジスタのベースとを基準電位点に接続したものである。

【0018】

第3の入力保護回路は、第1の入力保護回路において、第2のウエル領域を省略したものに相当する。従って、第3の入力保護回路によると、第1の入力保護回路に関して前述したと同様の作用効果が得られる。その上、入力可能な信号レベルの範囲を決定する2つのPN接合ダイオードのうちの1つのダイオードが、第2のウエル領域と半導体基板との間に形成されるので、該1つのダイオードの逆耐圧を向上させることができ、入力可能な信号レベルの範囲を一層拡大することができる。

【0019】

第3の入力保護回路においては、前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第1の不純物ドーブ領域に接続するようにしてもよい。このようにすると、回路を構成するトランジスタやダイオードの熱破壊を防止することができる。

【0020】

この発明に係る第4の入力保護回路は、

被保護回路に入力信号を供給する入力端子と、

第1導電型を有する半導体基板と、

各々前記第1導電型とは反対の第2導電型を有し、前記半導体基板の一部をベースとする第1のラテラルバイポーラトランジスタを構成するように前記半導体基板の一主面に形成された第1及び第2のウエル領域と、

前記第2導電型を有し、前記半導体基板とPN接合をなすように前記半導体基板の一主面に形成された第3のウエル領域と、

各々前記第1導電型を有し、前記第3のウエル領域の一部をベースとする第2のラテラルバイポーラトランジスタを構成するように前記第3のウエル領域内に形成された第1及び第2の不純物ドーブ領域とを備え、

前記入力端子を前記第 1 のウエル領域に接続すると共に前記第 2 のウエル領域と前記第 1 のラテラルバイポーラトランジスタのベースとを前記第 1 の不純物ドープ領域に接続し、前記第 2 の不純物ドープ領域と前記第 2 のラテラルバイポーラトランジスタのベースとを基準電位点に接続したものである。

【 0 0 2 1 】

第 4 の入力保護回路は、第 2 の入力保護回路において、第 1 のウエル領域を省略したものに相当する。従って、第 4 の入力保護回路によると、第 2 の入力保護回路に関して前述したと同様の作用効果が得られる。その上、入力可能な信号レベルの範囲を決定する 2 つの P N 接合ダイオードのうちの 1 つのダイオードが、第 1 のウエル領域と半導体基板との間に形成されるので、該 1 つのダイオードの逆耐圧を向上させることができ、入力可能な信号レベルの範囲を一層拡大することができる。

【 0 0 2 2 】

第 4 の入力保護回路においては、前記半導体基板の一主面に絶縁層を介して電流制限用抵抗を形成すると共に、この電流制限用抵抗を介して前記入力端子を前記第 1 のウエル領域に接続するようにしてもよい。このようにすると、回路を構成するトランジスタやダイオードの熱破壊を防止することができる。

【 0 0 2 3 】

【発明の実施の形態】

図 1 は、この発明の一実施形態に係る入力保護回路の集積化構成を示すものである。

【 0 0 2 4 】

例えばシリコンからなる P 型半導体基板 1 0 は、比較的低い不純物濃度（例えば $10^{15} [\text{cm}^{-3}]$ 以下）を有するもので、その一主面には、N 型ウエル領域 1 2 が形成されている。ウエル領域 1 2 は、比較的低い不純物濃度（例えば $4 \times 10^{16} \sim 1 \times 10^{17} [\text{cm}^{-3}]$ ）を有するもので、基板 1 0 と P N 接合をなすように選択的イオン注入法等により形成される。

【 0 0 2 5 】

ウエル領域 1 2 には、ウエル領域 1 2 の一部をベースとする P N P 型ラテラル

バイポーラトランジスタPBを構成するように P^+ 型不純物ドープ領域14, 16が形成されている。不純物ドープ領域14, 16は、比較的高い不純物濃度（例えば $1 \sim 5 \times 10^{21} [cm^{-3}]$ ）を有するもので、選択拡散法又は選択的イオン注入法等により形成される。

【0026】

ウエル領域12には、オーミックコンタクトを可能にするための N^+ 型不純物ドープ領域18が形成されている。不純物ドープ領域18は、比較的高い不純物濃度を有するもので、選択拡散法又は選択的イオン注入法等により形成される。

【0027】

基板10の一主面には、比較的低い不純物濃度（例えば $4 \times 10^{16} \sim 1 \times 10^{17} [cm^{-3}]$ ）を有するP型ウエル領域20が形成されている。ウエル領域20は、側部においてウエル領域12とPN接合をなすように形成されるが、ウエル領域12から離間して形成してもよい。

【0028】

ウエル領域20には、ウエル領域20の一部をベースとするNPN型ラテラルバイポーラトランジスタNBを構成するようにN型ウエル領域22, 24が形成されている。ウエル領域22, 24は、比較的低い不純物濃度（例えば $4 \times 10^{16} \sim 1 \times 10^{17} [cm^{-3}]$ ）を有するもので、基板10とPN接合をなすように選択的イオン注入法等により形成される。ウエル領域22, 24は、ウエル領域12の形成工程を流用して形成することができる。ウエル領域22, 24は、いずれもウエル領域20及び基板10とPN接合をなしているが、ウエル領域20とのみPN接合をなすように（ウエル領域22, 24の各底部が基板10ではなくウエル領域20とPN接合をなすように）形成してもよい。

【0029】

ウエル領域22, 24には、それぞれオーミックコンタクトを可能にするための N^+ 型不純物ドープ領域26, 28が形成されている。不純物ドープ領域26, 28は、いずれも比較的高い不純物濃度を有するもので、不純物ドープ領域18の形成工程を流用して形成することができる。

【0030】

ウエル領域 2 0 には、オーミックコンタクトを可能にするための P^+ 型不純物ドーピング領域 3 0 が形成されている。不純物ドーピング領域 3 0 は、比較的高い不純物濃度を有するもので、不純物ドーピング領域 1 4, 1 6 の形成工程を流用して形成することができる。

【 0 0 3 1 】

基板 1 0 の一主面は、シリコンオキサイド等のフィールド絶縁膜を含む絶縁膜 3 2 により覆われており、絶縁膜 3 2 には、図示のように配線用の孔が形成されている。不純物ドーピング領域 1 4 は、入力端子 I_N に接続される。不純物ドーピング領域 1 6, 1 8 は、不純物ドーピング領域 2 6 に接続される。不純物ドーピング領域 2 8, 3 0 は、基準電位点（接地点）に接続される。

【 0 0 3 2 】

図 2 は、図 1 の集積化構成の等価回路を示すものである。PNP 型トランジスタ P_B のエミッタ（不純物ドーピング領域 1 4）は、入力端子 I_N に接続される。トランジスタ P_B のコレクタ（不純物ドーピング領域 1 6）が NPN 型トランジスタ N_B のコレクタ（ウエル領域 2 2）に接続されると共に、トランジスタ P_B のベースがウエル領域 1 2 の抵抗成分からなる抵抗 R_1 を介してトランジスタ N_B のコレクタに接続される。トランジスタ P_B のベースと抵抗 R_1 との接続点をノード N_1 とする。不純物ドーピング領域 1 4 とウエル領域 1 2 との間に形成される PN 接合からなるダイオード D_1 のアノード及びカソードがそれぞれトランジスタ P_B のエミッタ及びベースに接続される。

【 0 0 3 3 】

トランジスタ N_B のエミッタ（ウエル領域 2 4）が基準電位点に接続されると共に、トランジスタ N_B のベースがウエル領域 2 0 の抵抗成分からなる抵抗 R_3 を介して基準電位点に接続される。ウエル領域 2 2 とウエル領域 2 0 及び基板 1 0 との間に形成される PN 接合からなるダイオード D_3 のカソード及びアノードは、それぞれトランジスタ N_B のコレクタ及びベースに接続される。ダイオード D_3 のカソードとトランジスタ N_B のコレクタとの接続点をノード N_2 とし、トランジスタ N_B のベースと抵抗 R_3 との接続点をノード N_3 とする。

【 0 0 3 4 】

ウエル領域12と基板10との間に形成されたPN接合からなるダイオード D_2 のカソードは、ダイオード D_1 のカソードに接続され、ダイオード D_2 のアノードは、基板10の抵抗成分からなる抵抗 R_2 を介してダイオード D_3 のアノードに接続される。抵抗 R_2 、 R_3 の相互接続点をノードN4とする。

【0035】

図2に示したトランジスタNBに関する等価回路は、トランジスタNBのエミッターベースーコレクタ配置として図3に示したものを採用したときの回路である。図3のX-X'線断面が図1に示したウエル領域20の断面に相当する。

【0036】

図3に示すトランジスタNBにおいて、N型ウエル領域22、24は、P型ウエル領域20の2つの辺20A、20Bから内側へ離間して形成されており、ウエル領域22、24内にそれぞれ N^+ 型不純物ドープ領域26、28が形成されている。ベースコンタクト領域としての P^+ 型不純物ドープ領域30とウエル領域22、24間のP型ベース領域BSとの間には、図2の抵抗 R_3 に相当する抵抗成分 R_{31} 、 R_{32} が存在する。

【0037】

トランジスタNBのエミッターベースーコレクタ配置としては、図4に示すものを採用してもよい。図4のY-Y'線断面が図1に示したウエル領域の断面に相当する。

【0038】

図4に示すトランジスタNBにおいて、N型ウエル領域22、24は、P型ウエル領域20の2つの辺20A、20Bを越え、基板10とPN接合をなすように形成されており、ウエル領域22、24内にそれぞれ N^+ 型不純物ドープ領域26、28が形成されている。領域20a、20bは、ウエル領域22、24を形成したことによりウエル領域20から分離されたウエル領域である。

【0039】

図5は、図4の配置を採用した場合のトランジスタNBに関する等価回路を示すもので、図2と同様の部分には、同様の符号を付してある。N型ウエル領域22、24間のP型ウエル領域20bからなるベース領域BSとダイオード D_3 の

アノードとの間には、基板10の抵抗成分からなる抵抗 R_{41} が存在する。また、ベース領域BSとベースコンタクト領域としての P^+ 型不純物ドーピング領域30との間には、基板10の抵抗成分からなる抵抗 R_{42} が存在する。

【0040】

図1、2に示した入力保護回路において、入力端子INに例えば ± 2000 [V]のESD入力に加わると、ダイオード D_1 がオンしてノード N_1 、抵抗 R_1 、ノード N_2 を介してダイオード D_3 の逆方向に電圧が印加される。この電圧がダイオード D_3 の逆耐圧を越えると、ダイオード D_3 の逆方向電流がノード N_3 、抵抗 R_3 を介して流れ、トランジスタNBのベース電流を増大させる。このため、トランジスタNBがオンして大電流を流す。従って、入力端子INの電圧は、瞬時に $+10 \sim 20$ [V]となり、被保護回路CPが保護される。

【0041】

図5の回路を採用した場合には、ダイオード D_3 の逆方向電流がノード N_4 、抵抗 R_{41} 、 R_{42} を介して流れ、トランジスタNBのベース電流を増大させる。このため、トランジスタNBがオンして大電流を流す。従って、図2の場合と同様の保護動作が行なわれる。

【0042】

入力端子INに例えば -2000 [V]のESD入力に加わると、抵抗 R_3 、ノード N_3 を介してダイオード D_3 に順方向に電圧が加わり、ダイオード D_3 がオンする。そして、ノード N_2 、抵抗 R_1 、ノード N_1 を介してダイオード D_1 に逆方向に電圧が印加される。この場合、トランジスタPBは、図示したエミッタ及びコレクタがそれぞれコレクタ及びエミッタとなる。ダイオード D_1 の電圧がダイオード D_1 の逆耐圧を越えると、ダイオード D_1 の逆方向電流が抵抗 R_1 、ノード N_1 を介して流れ、トランジスタPBのベース電流を増大させる。このため、トランジスタPBがオンして大電流を流す。従って、入力端子INの電圧は、瞬時に $-10 \sim 20$ [V]となり、被保護回路CPが保護される。

【0043】

図5の回路を採用した場合には、抵抗 R_{42} 、 R_{41} 、ノード N_4 を介してダイオード D_3 に順方向に電圧が印加される点が異なるだけで、上記したと同様に

保護動作が行なわれる。

【0044】

図6は、図1, 2に示した入力保護回路の電圧-電流特性の一例を示すものである。 $\pm V_{in}$ [V] は、入力端子INに印加される電圧を示し、 $\pm I_{in}$ [A] は、電圧 $\pm V_{in}$ に応じて入力端子INを介して流れる電流を示す。 $+S$ のカーブは、電圧が $+V_{in}$ のときの電圧-電流特性を示し、 $-S$ のカーブは、電圧が $-V_{in}$ のときの電圧-電流特性を示す。

【0045】

図6によれば、 $+V_{in}$ のときの耐圧は、約18.5 [V] であり、 $-V_{in}$ のときの耐圧は、約15 [V] である。 $+V_{in}$ のときの耐圧は、ダイオード D_3 の逆耐圧にほぼ対応し、 $-V_{in}$ のときの耐圧は、ダイオード D_1 の逆耐圧にほぼ対応する。ダイオード D_3 の逆耐圧は、ウェル領域20, 22や基板10の不純物ドーピング量に応じて適宜設定可能であり、例えば18~50 [V] 程度とすることができる。ダイオード D_1 の逆耐圧は、不純物ドープ領域14やウェル領域12の不純物ドーピング量に応じて適宜設定可能であり、例えば、13~15 [V] 程度とすることができる。一例として、ある種のオーディオ用ICでは-12.5 [V] ~+17.5 [V] のレベル範囲の信号を入力することが要求される場合があるが、図6の特性を有する入力保護回路であれば、このような要求に十分応えることができる。すなわち、図6の特性によれば、-12.5 [V] ~+17.5 [V] の範囲におけるリーク電流は、1 [μ A] 未満の低レベルである。

【0046】

図1, 2に示した入力保護回路にあっては、図1に示すように絶縁膜32の上にポリシリコン等の抵抗材からなる電流制限用抵抗 R_i を設け、この抵抗 R_i を介して入力端子INを P^+ 型不純物ドープ領域14（トランジスタPBのエミッタ）に破線で示すように接続するようにしてもよい。このようにすると、回路を構成するトランジスタPB, NB、ダイオード $D_1 \sim D_3$ 等の素子の熱破壊を防止することができる。

【0047】

図 7 は、図 1 の集積化構成の第 1 の変形例を等価回路で示すもので、図 2 と同様の部分には同様の符号を付してある。

【 0 0 4 8 】

図 7 の例では、図 1 に示す集積化構成において、基板 1 0 の導電型を N 型とし、ウエル領域 1 2, 2 2, 2 4 の導電型を P 型とし、ウエル領域 2 0 の導電型を N 型とし、不純物ドーピング領域 1 4, 1 6, 3 0 の導電型を N^+ 型とし、不純物ドーピング領域 1 8, 2 6, 2 8 の導電型を P^+ 型としたものである。従って、図 2 に示したトランジスタ P B 及び N B は、それぞれ N P N 型トランジスタ $N B_1$ 及び P N P 型トランジスタ $P B_1$ となり、図 2 に示したダイオード D_1, D_2, D_3 はそれぞれ極性を反転したダイオード D_{11}, D_{12}, D_{13} となる。図 7 に示す抵抗 $R_{11}, R_{12}, R_{13}, R_{14}$ 及びノード N_{11}, N_{12}, N_{13} は、図 2 に示した抵抗 R_1, R_2, R_3, R_4 及びノード N_1, N_2, N_3 にそれぞれ対応するものである。

【 0 0 4 9 】

図 7 の回路において、入力端子 I N に例えば + 2 0 0 0 [V] の E S D 入力加わると、ダイオード D_{11} に逆方向に電圧が印加される。この電圧がダイオード D_{11} の逆耐圧を越えると、ダイオード D_{11} の逆方向電流がノード N_{11} 、抵抗 R_{11} を介して流れ、トランジスタ $N B_1$ のベース電流を増大させる。このため、トランジスタ $N B_1$ がオンする。また、入力端子 I N に例えば - 2 0 0 0 [V] の E S D 入力加わると、ダイオード D_{11} がオンし、ダイオード D_{13} に逆方向に電圧が印加される。この場合、トランジスタ $P B_1$ は、図示したエミッタ及びコレクタがそれぞれコレクタ及びエミッタとなる。ダイオード D_{13} の電圧がダイオード D_{13} の逆耐圧を越えると、ダイオード D_{13} の逆電流が抵抗 R_{13} 、ノード N_{13} を介して流れ、トランジスタ $P B_1$ のベース電流を増大させる。このため、トランジスタ $P B_1$ がオンする。従って、被保護回路 C P は、± 2 0 0 0 [V] の E S D 入力から保護される。

【 0 0 5 0 】

図 7 の回路では、入力可能な + の信号レベルは、ダイオード D_{11} の逆耐圧により制限され、入力可能な - の信号レベルは、ダイオード D_{13} の逆耐圧により

制限される。通常、ダイオード D_{13} の逆耐圧は、ダイオード D_{11} の逆耐圧より高いので、例えば -50 [V] $\sim +15$ [V] の信号を入力可能となる。

【0051】

図7の回路においては、トランジスタ PB_1 の構成として、図4, 5で述べた構成を準用してもよい。また、図1, 2で述べたと同様に入力端子INとトランジスタ NB_1 のコレクタとの間に抵抗 R_i を接続して電流を制限することによりトランジスタやダイオード等の熱破壊を防止するようにしてもよい。

【0052】

図8は、図1の集積化構成の第2の変形例を示すもので、図1と同様の部分には同様の符号を付してある。

【0053】

図8の例は、図1の集積化構成において、PNP型トランジスタPBとNPN型トランジスタNBとで位置を交換したものに相当する。すなわち、P型基板10の一主面には、比較的低い不純物濃度を有するP型ウエル領域40が形成され、ウエル領域40には、ウエル領域40の一部をベースとするNPN型ラテラルバイポーラトランジスタ NB_2 を構成するようにN型ウエル領域42, 44が形成されている。ウエル領域42, 44は、比較的低い不純物濃度を有するもので、いずれもウエル領域40及び基板10（又はウエル領域40のみ）とPN接合をなすように形成される。ウエル領域42, 44には、オーミックコンタクトを可能にするために比較的高い不純物濃度を有する N^+ 型不純物ドープ領域46, 48がそれぞれ形成されている。ウエル領域40には、オーミックコンタクトを可能にするための P^+ 型不純物領域50が形成されている。

【0054】

基板10の一主面には、比較的低い不純物濃度を有するN型ウエル領域52が基板10とPN接合をなすように形成されている。ウエル領域52には、ウエル領域52の一部をベースとするPNP型ラテラルバイポーラトランジスタ PB_2 を構成するように P^+ 型不純物ドープ領域54, 56が形成されている。不純物ドープ領域54, 56は、比較的高い不純物濃度を有するものである。ウエル領域52には、オーミックコンタクトを可能にするための N^+ 型不純物領域58が

形成されている。

【0055】

不純物ドーブ領域46は、入力端子INに接続される。不純物ドーブ領域48、50は、不純物ドーブ領域54に接続される。不純物ドーブ領域56、58は、基準電位点に接続される。

【0056】

図9は、図8の集積化構成の等価回路を示すものである。NPN型トランジスタNB₂のコレクタ（ウエル領域42）は、入力端子INに接続される。トランジスタNB₂のエミッタ（ウエル領域44）がPNP型トランジスタPB₂のエミッタ（不純物ドーブ領域54）に接続されると共に、トランジスタNB₂のベースがウエル領域40の抵抗成分からなる抵抗R₂₁を介してトランジスタPB₂のエミッタに接続される。トランジスタNB₂のベースと抵抗R₂₁との接続点をノードN₂₁とする。ウエル領域42とウエル領域40及び基板10との間に形成されるPN接合からなるダイオードD₂₁のカソード及びアノードがそれぞれトランジスタNB₂のコレクタ及びベースに接続される。

【0057】

トランジスタPB₂のコレクタ（不純物ドーブ領域56）が基準電位点に接続されると共に、トランジスタPB₂のベースがウエル領域52の抵抗成分からなる抵抗R₂₃を介して基準電位点に接続される。不純物ドーブ領域54とウエル領域52との間に形成されるPN接合からなるダイオードD₂₂のアノード及びカソードは、それぞれトランジスタPB₂のエミッタ及びベースに接続される。ダイオードD₂₂のアノードとトランジスタPB₂のエミッタとの接続点をノードN₂₂とし、トランジスタPB₂のベースと抵抗R₂₃との接続点をノードN₂₃とする。

【0058】

ダイオードD₂₁のアノードとノードN₂₂の間には、基板10の抵抗成分からなる抵抗R₂₂が接続される。ウエル領域52と基板10との間に形成されたPN接合からなるダイオードD₂₃のカソードは、ノードN₂₃に接続され、ダイオードD₂₃のアノードは、基板10の抵抗成分からなる抵抗R₂₄を介し

てノード N_{22} に接続される。

【0059】

図8、9に示した入力保護回路において、入力端子 IN に例えば+2000[V]のESD入力加わると、ダイオード D_{21} に逆方向に電圧が印加される。この電圧がダイオード D_{21} の逆耐圧を越えると、ダイオード D_{21} の逆方向電流がノード N_{21} 、抵抗 R_{21} を介して流れ、トランジスタ NB_2 のベース電流を増大させる。このため、トランジスタ NB_2 がオンする。また、入力端子 IN に例えば-2000[V]のESD入力加わると、ダイオード D_{21} がオンし、ダイオード D_{22} に逆方向に電圧が印加される。この場合、トランジスタ PB_2 は、図示したエミッタ及びコレクタがそれぞれコレクタ及びエミッタとなる。ダイオード D_{22} の電圧がダイオード D_{22} の逆耐圧を越えると、ダイオード D_{22} の逆方向電流が抵抗 R_{23} 、ノード N_{23} を介して流れ、トランジスタ PB_2 のベース電流を増大させる。このため、トランジスタ PB_2 がオンする。従って、被保護回路 CP は、±2000[V]のESD入力から保護される。

【0060】

図8、9に示した入力保護回路では、入力可能な+の信号レベルは、ダイオード D_{21} の逆耐圧により制限され、入力可能な-の信号レベルは、ダイオード D_{22} の逆耐圧により制限される。通常、ダイオード D_{21} の逆耐圧は、ダイオード D_{22} の逆耐圧より高いので、例えば-15[V]～+50[V]の信号を入力可能となる。

【0061】

図8、9に示した入力保護回路においては、トランジスタ NB_2 の構成として、図4、5で述べた構成を採用してもよい。また、図7に関して前述したと同様に導電型を図8に示したものとは反対にしてもよい。この場合の等価回路は、図9の回路においてトランジスタ NB_2 及び PB_2 がそれぞれPNP型トランジスタ及びNPN型トランジスタとなり、ダイオード D_{21} ～ D_{23} がそれぞれ極性を反転したものとなる。保護動作では、+のESD入力時にはNPN型トランジスタがオンし、-のESD入力時にはPNP型トランジスタがオンする。入力可能な信号レベルは例えば-50[V]～+15[V]とすることができる。なお

、図 8、9 の回路では、図 1、2 で述べたと同様に入力端子 I_N とトランジスタ NB_2 のコレクタとの間に抵抗 R_i を接続して電流を制限することによりトランジスタやダイオードの熱破壊を防止するようにしてもよい。

【0062】

この発明は、上記した実施形態に限定されるものではなく、種々の改変形態で実施可能である。例えば、14、16、54、56 等の不純物ドーピング領域は、比較的低い不純物濃度を有する深いウエル状の領域として形成してもよい。このようにすると、 D_1 、 D_{22} 等のダイオードの逆耐圧が一層向上し、入力可能な信号レベルの範囲が一層拡大される。また、図 4 の構成において、ウエル領域 20、20a、20b を省略し、基板 10 の一部でトランジスタ NB のベース領域 B_S を構成するようにしてもよい。このようにすると、 D_3 、 D_{21} 等のダイオードの逆耐圧が一層向上し、入力可能な信号レベルの範囲が一層拡大される。

【0063】

【発明の効果】

以上のように、この発明によれば、 ± 2000 [V] のような高い ESD 耐圧を有すると共に ± 15 [V] のような広いレベル範囲の信号を入力可能な入力保護回路を実現することができ、オーディオ分野等において集積回路装置の十分な保護が可能となる効果が得られる。

【図面の簡単な説明】

【図 1】 この発明の一実施形態に係る入力保護回路の集積化構成を示す基板断面図である。

【図 2】 図 1 の集積化構成の等価回路図である。

【図 3】 NPN 型トランジスタのエミッターベースーコレクタ配置の一例を示す上面図である。

【図 4】 NPN 型トランジスタのエミッターベースーコレクタ配置の他の例を示す上面図である。

【図 5】 図 4 の配置を採用した場合における NPN 型トランジスタに関する等価回路図である。

【図 6】 図 1 の回路の電圧－電流特性の一例を示すグラフである。

【図 7】 図 1 の集積化構成の第 1 の変形例を示す等価回路図である。

【図 8】 図 1 の集積化構成の第 2 の変形例を示す基板断面図である。

【図 9】 図 8 の集積化構成の等価回路図である。

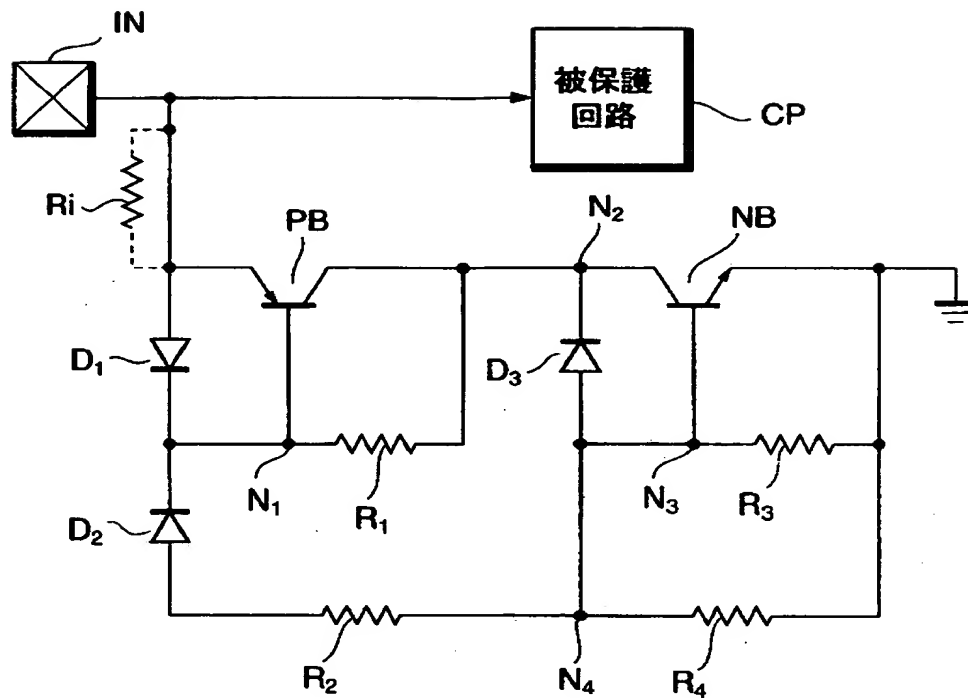
【図 1 0】 従来の入力保護回路の集積化構成を示す基板断面図である。

【図 1 1】 図 1 0 の集積化構成の等価回路図である。

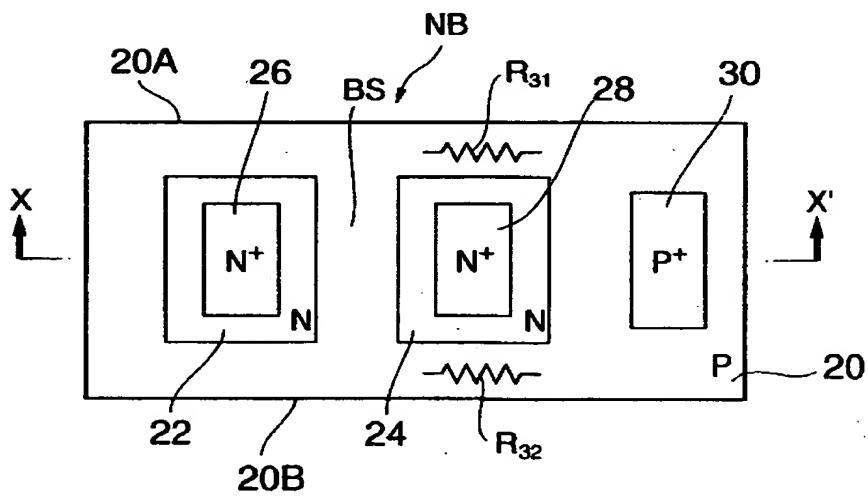
【符号の説明】

1 0 : 半導体基板、1 2, 2 0 ~ 2 4, 4 0 ~ 4 4, 5 2 : ウエル領域、1 4 ~ 1 8, 2 6 ~ 3 0, 4 6 ~ 5 0, 5 4 ~ 5 8 : 不純物ドーピング領域、3 2 : 絶縁膜、I N : 入力端子、C P : 被保護回路、R i : 電流制限用抵抗。

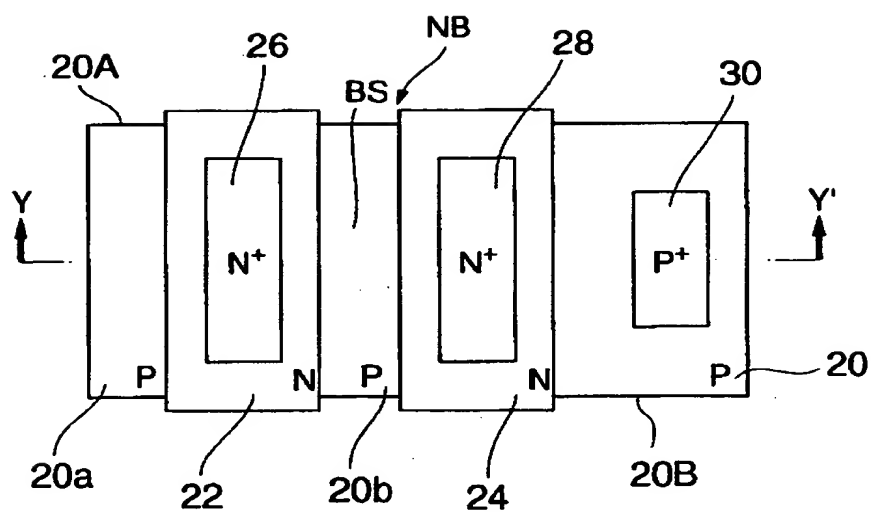
【図 2】



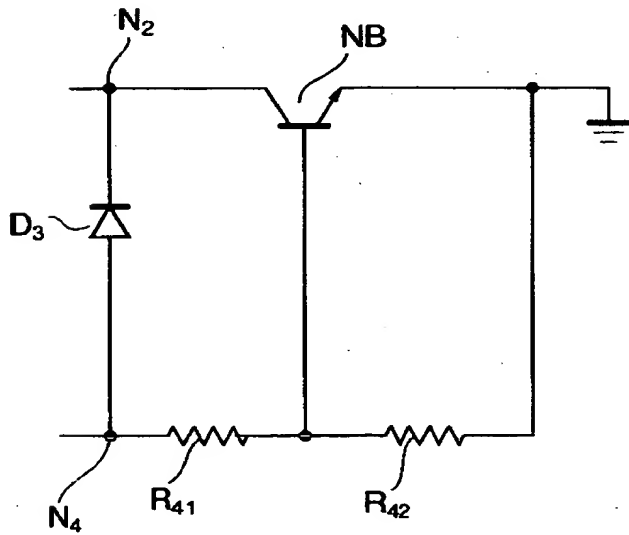
【図 3】



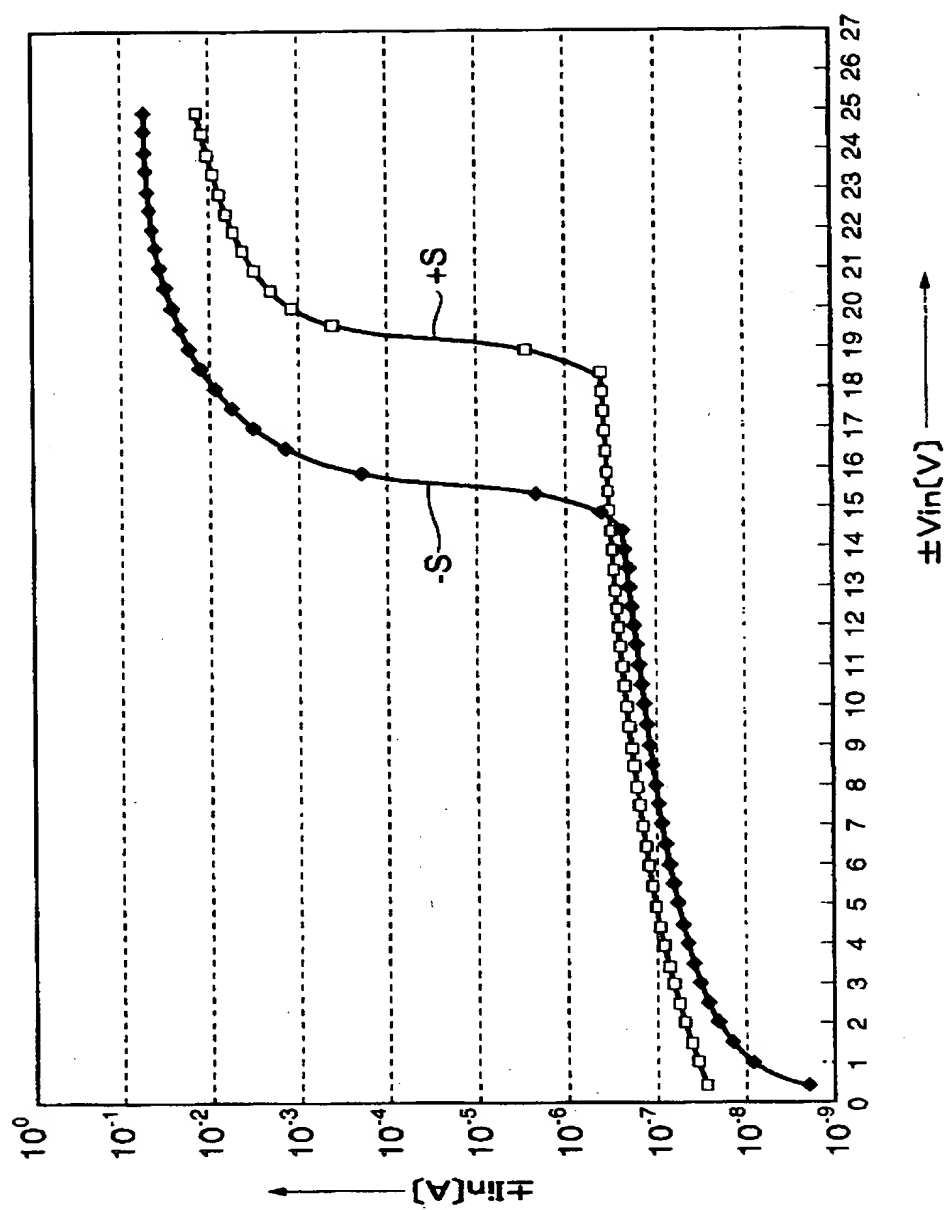
【図 4】



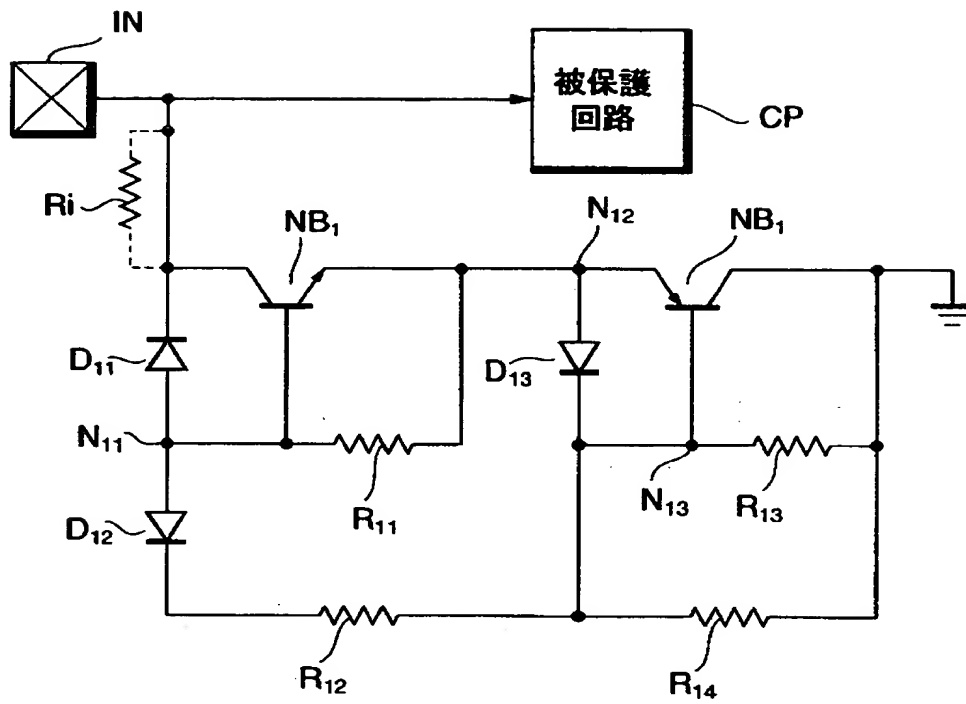
【図 5】



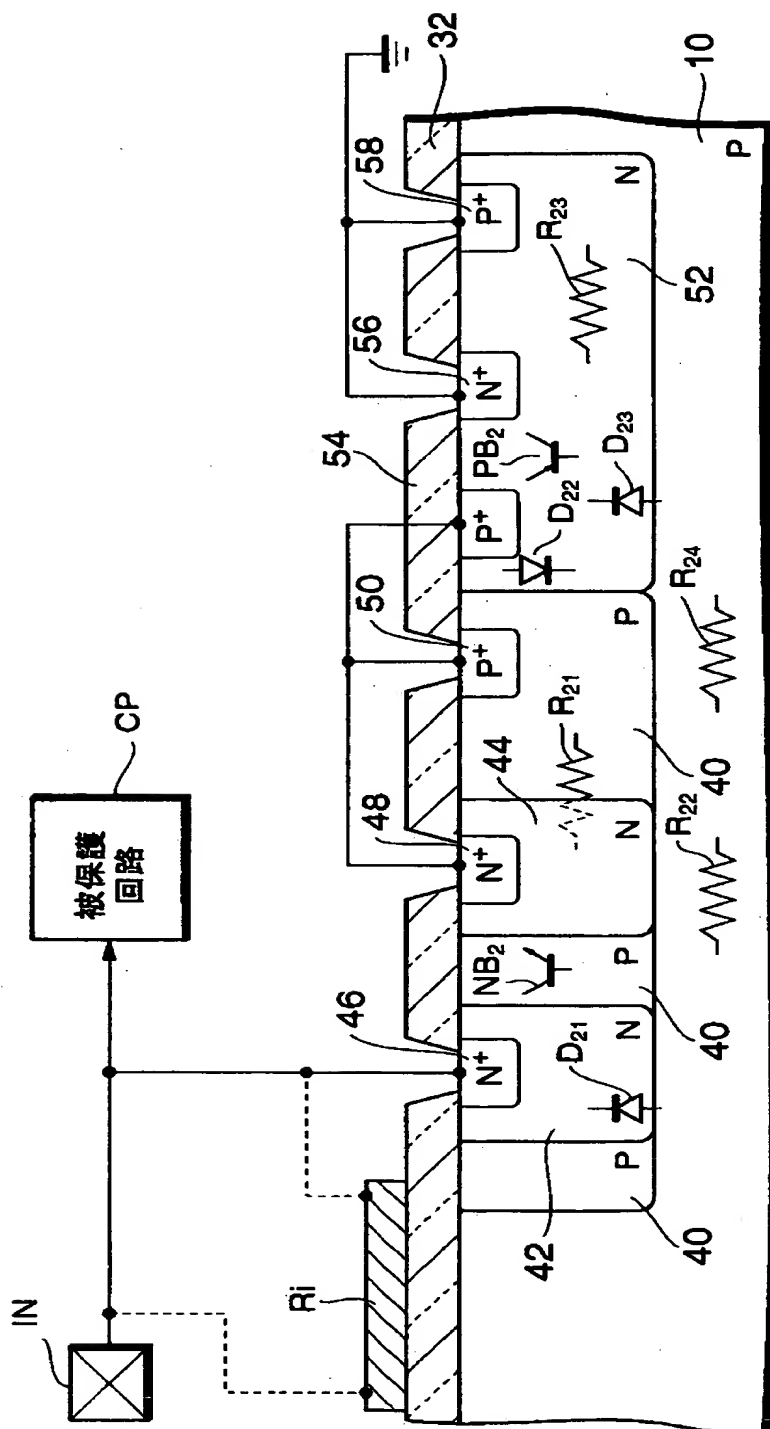
【図 6】



【図 7】

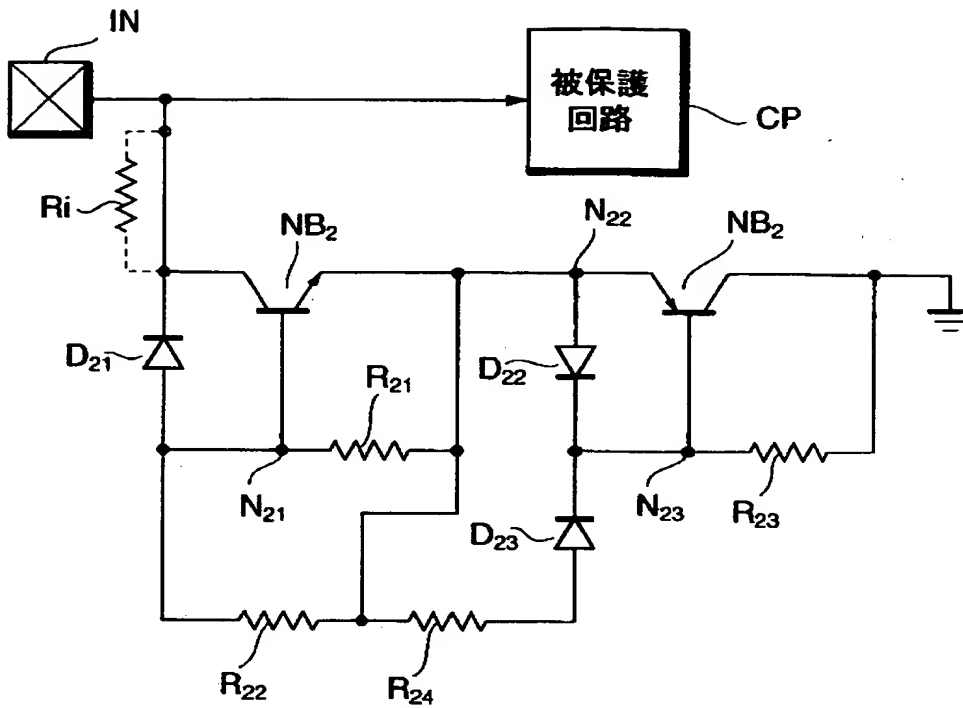


【図8】

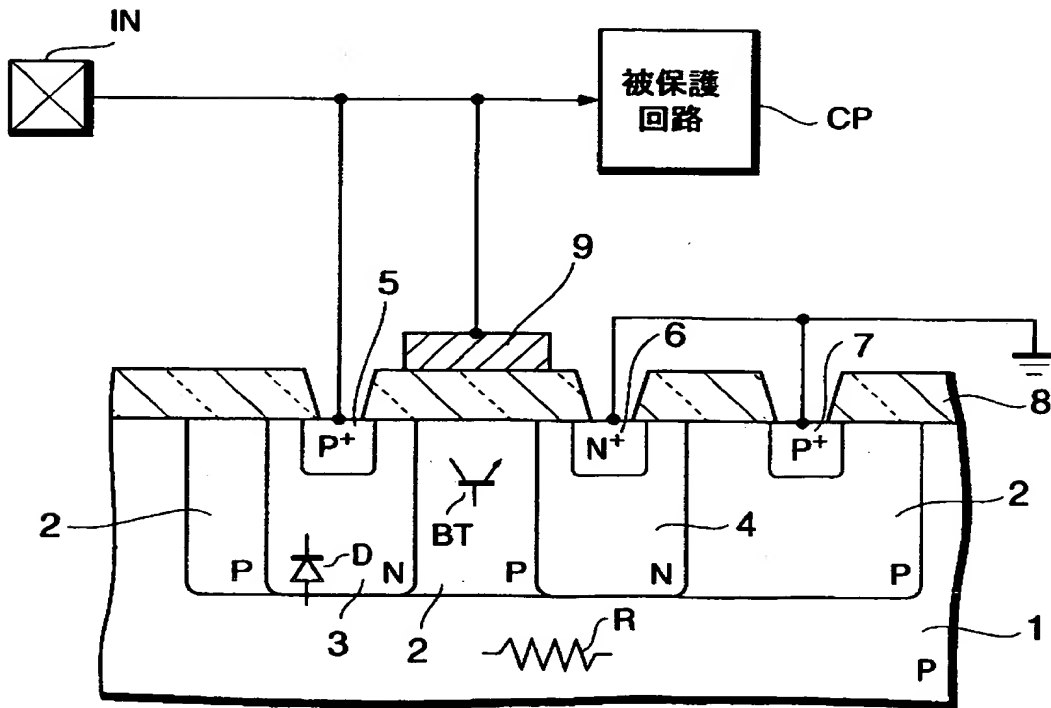


40~44, 52: ウエル領域
46~50, 54~58: 不純物ドーピング領域

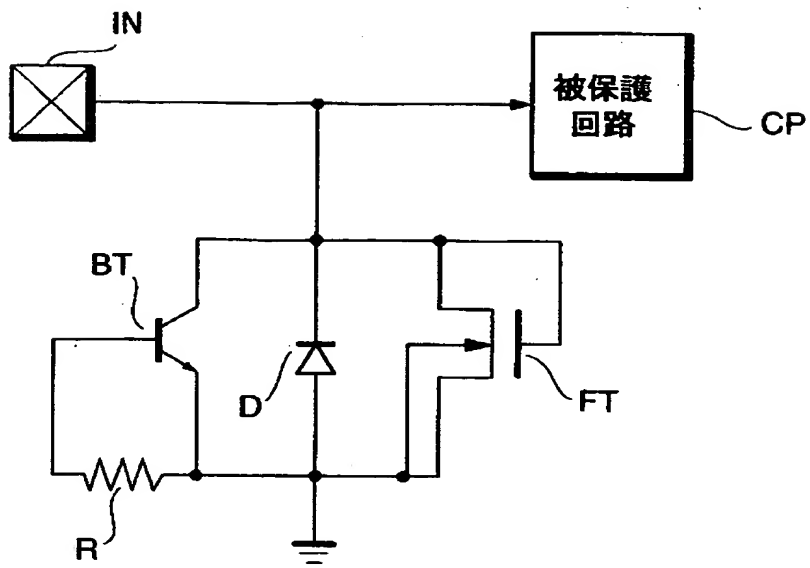
【図 9】



【図 10】



【図 1 1】



特2000-317557

出 願 人 履 歴 情 報

識別番号 [000004075]

1. 変更年月日	1990年 8月22日
[変更理由]	新規登録
住 所	静岡県浜松市中沢町10番1号
氏 名	ヤマハ株式会社

【書類名】 要約書

【要約】

【課題】 高いESD（静電放電）耐圧を有し、±の広いレベル範囲の信号を入力可能な入力保護回路を提供する。

【解決手段】 入力端子INと基準電位点（接地点）との間にラテラルPNP型トランジスタPBとラテラルNPN型トランジスタNBとを直列に接続する。トランジスタPBではP⁺型不純物ドーピング領域14とN型低濃度ウェル領域12とでダイオードD₁を形成し、トランジスタNBではN型低濃度ウェル領域22とP型低濃度ウェル領域20及びP型低濃度基板10とでダイオードD₃を形成する。+2000[V]のESD入力時にはトランジスタNBがオンし、-2000[V]のESD入力時にはトランジスタPBがオンする。入力可能な+信号のレベルは、ダイオードD₃の逆耐圧（例えば18～50[V]）により制限され、入力可能な-信号のレベルは、ダイオードD₁の逆耐圧（例えば13～15[V]）により制限される。

【選択図】 図1